

発明の名称

画像クロックを調整して画像書き込みを制御する画像形成装置

発明の背景

5 1. 発明の分野

本発明は、画像形成装置に関し、より詳細には、半導体レーザの出力光を変調制御して光書き込み装置として使用するレーザプリンタ、デジタル複写機のような画像形成装置に関する。

2. 関連技術の説明

10 半導体レーザは、小型であり、高速変調を行うことができるため、レーザプリンタやデジタル複写機のような画像形成装置に用いられる光書き込み装置の光源として広く利用されている。しかし、半導体レーザの駆動電流と光出力との関係は、温度により著しく変化するので、半導体レーザの光強度を所望の値に設定しようとする場合に問題となることがある。

15 このような問題を解決した半導体レーザの使用方法として、APC (Auto Power Control) 方式が知られている。APC方式では、半導体レーザの光出力を受光素子によりモニタし、受光素子に発生する半導体レーザの光出力に比例する受光電流に比例する信号と、発光レベル指令信号とが等しくなるように、常時、半導体レーザの順方向電流を制御する光・電気負帰還ループにより半導体レーザ
20 の順方向電流を所望の値に制御する。

特開平05-075199号公報、特開平05-235446号公報、特開平09-321376号公報、特開平11-167081号公報および特開平05-207234号公報は、上述のAPC方式に関する技術を開示している。

25 特開平05-75199号公報は、半導体レーザの光出力をモニタする受光素子の受光電流と発光指令電流とを常時比較することにより半導体レーザを制御する光電気負帰還ループを構成し、かつ発光指令電流に比例した電流を半導体レーザに光電気負帰還ループの出力電流に加算して流すことにより高速に半導体レーザを変調することによって、半導体レーザの温度特性、ドウループ特性を抑制しつつ、高速に変調する半導体レーザ制御装置を開示している。

特開平05-235446号公報は、電源投入時におけるサージ電流や、回路不安定状態での過大電流による半導体レーザの劣化を防止するための半導体レーザ保護回路が簡易な構成で組み込まれた半導体レーザ制御装置を開示している。

- 5 特開平09-321376号公報は、光・電気負帰還ループによる制御量を少なくする電流加算方式と、1ドット内でのパルス幅強度混合変調方式とが適用される画像形成装置において適用される半導体レーザ制御装置が、より小型で省電力化され、さらに集積度が高くなるように実現された技術を開示している。

- すなわち、特開平5-075199号公報、特開平5-235446号公報、
10 特開平9-321376号公報は、半導体レーザの光出力をモニタする受光素子の受光電流と発光指令電流とを常時比較することにより、高速に半導体レーザを制御する光電気負帰還ループを構成し、かつ発光指令電流に比例した電流を光電気負帰還ループの出力電流に加算して半導体レーザに流すことにより高速に半導体レーザを変調する方法により、半導体レーザの温度特性・ドゥループ特性などを抑制し、かつ高速変調を実現することを提案している。

- 15 しかしながら、半導体レーザの光出力をモニタする受光素子の特性により、半導体レーザの光出力が小さくなると受光素子の光入力に対する受光電流出力特性の直線性が著しく劣化する。このため、低光出力の場合の制御精度が悪くなり、所定の光出力より大きな光出力になってしまう場合がある。このような場合、レーザプリンタ等において地膚汚れなどの悪影響を与えてしまうおそれがある。

- 20 また、常時光出力を制御しているので、制御系を正常動作させるためにも光出力を完全に消灯することができず、これはオフセット光を生じさせることになる。また、半導体レーザに駆動電流を加算する駆動電流を設定する回路が必要となり、レーザプリンタなどの光変調ICの機能を向上しようとした場合に回路規模に制約を与えることとなる。

- 25 更に、一つの半導体レーザの光出力のみを検出する受光素子を必要とするため、半導体レーザアレイのように複数のレーザの出力を一つの受光素子により検出する場合には、外部に各々の光出力を分離して検出する手段が要求される。

また、特開平11-167081号公報は、ダイレクトシンセサイザによる画素クロック周波数設定方法を開示している。この方法によれば、周波数刻みをL

UT（ルックアップテーブル）のデータを変更することにより高速に周波数変更が可能である。しかし、周波数可変刻みと出力周波数変更速度は、次に接続されるPLL-LOOPの制御速度および低域通過フィルタと密接に関係しているため、全体構成を設計する際の制約となる。また、周波数刻みはマスタクロック周波数とLUTのビット数に依存し、細かな設定を行うためには、回路規模を増大させる必要が生じたり、もしくはマスタクロックを高速にする必要が生じ、1チップ化を実現するには困難さが伴う。

また、特開平5-207234号公報は、PLL-LOOPに位相誤差を付加する方法を開示しているが、この方法では、位相誤差の付加信号を非常に安定にしなければ画素クロックの周波数誤差が発生してしまう。これは、デジタル回路とアナログ回路を一体化して1チップIC化を図るときの大きな制約となってしまう。

次に、従来の画像形成装置について、図1を参照しながら、更に説明する。図1において、半導体レーザユニット21から発光されたレーザ光は、ポリゴンミラー22の回転によりスキャンされる。スキャンされたレーザ光は、走査レンズ23を介して被走査媒体（感光体）24上に光スポットを形成し、被走査媒体24を露光して静電潜像を形成する。このとき、画像処理ユニット26により生成された画像データと位相同期回路29により位相が設定された画像クロックとに基づいて半導体レーザの発光時間をコントロールすることにより、被走査媒体24上の静電潜像の形成をコントロールする。また、位相同期回路29はクロック生成回路28により生成されたクロックの位相を、ポリゴンミラー22によりスキャンされた半導体レーザの光を検出するフォトディテクタ29に同期した位相に設定する。

このように、レーザ駆動回路27、位相同期回路29、クロック生成回路28は、レーザ走査光学系を用いた画像形成装置では被走査媒体24上に形成する静電潜像の位置精度、間隔精度上必要不可欠なものである。このため、画像クロックと同一の周波数をもつクロックを画像形成装置内のいくつかの回路で必要としてしまい、画像形成装置のEMI（Electro Magnetic Interference）の問題を引き起こすおそれがある。また、部品点数が多くなるためコスト上昇にもなる。更に、

また、近年では、レーザプリンタの高速・高密度化に伴って、1つの光源からの光だけではなく複数個の光源からの光により記録することにより高速・高密度化を図るマルチビーム光学系が採用されつつある。しかしながら、この場合には、光源として複数個の半導体レーザを使用する場合と、一つのチップ上に複数の発光点をモノリシックにアレイ配列した半導体レーザアレイを使用する場合があり、これらは適宜、システムの観点から選択されることが望ましい。

10 しかしながら、従来、半導体レーザアレイに対しては受光素子がすべての半導体レーザに共通であるため、上述の特開平5-75199号公報、特開平5-235446号公報、特開平9-321376号公報などに記載されている手法が使用できず、結果的に半導体レーザアレイを使用する場合にコスト的に高くついていた。

15 また、特開平5-75199号公報、特開平5-235446号公報、特開平
9-3211376号公報などに記載されているように半導体レーザの温度特性・
ドゥループ特性などの影響を除去するためには、常時制御が必要とされるが、同
時に常時制御を実施するためにはオフセット光が生じてしまう。また、電流設定
回路等が必要とされ回路規模が大きくなってしまう。さらに、半導体レーザアレ
20 イを使用した場合には外部に各々の光出力を分離して検出する手段が必要となる。

また、半導体レーザーのビームプロファイルは通常ガウス分布に近似され、ガウス分布に従い電子写真システムにおける静電潜像が形成される。このため、静電潜像は2値的ではなく、アナログ的分布をした箇所が解像度の増大にしたがって発生する。これは、現像バイアスの変動等の外部変動要因の影響を受けやすくなり、画像濃度変動を引起こしやすくなってしまう。

さらに、特開平11-167081に記載されているような、ダイレクトシンセサイザによる画素クロック周波数設定方法は、周波数刻みをLUTのデータを変更することにより高速に周波数変更が可能であるが、周波数可変刻みと出力周波数変更速度は、次に接続されるPLL-LOOPの制御速度および低域通過フ

フィルタと密接に絡み合い全体構成設計上の制約になる。また、周波数刻みはマスタクロック周波数とLUTのビット数に依存するので、細かな設定を行うためには、回路規模を増大させる必要が生じたり、マスタクロックを高速にする必要が生じ、1チップIC化を実現するには困難さが伴う。

- 5 また、特開平5-207234号公報に記載されているようにPLL-LOOPに位相誤差を付加する方法では、位相誤差の付加信号を非常に安定にしなければ画素クロックの周波数誤差が発生してしまう。これは、デジタル回路とアナログ回路を一体化して1チップIC化を図るときの大きな制約となってしまう。

- 10 また、ポリゴンスキャナ等の偏向器において、偏向反射面の回転軸からの距離のばらつき(内接円半径のばらつき)は、被走査面上を走査する光スポット(走査ビーム)の走査速度ムラを発生させる。同期光を検出後、所定のタイミングで書込信号が発せられて半導体レーザが発光を開始し、個々の発光源に対し1走査分ずつのデータが送られ、その繰り返しにより被走査媒体上に潜像として画像が形成される。

- 15 このとき、図2A及び2Bに示すように、ポリゴンスキャナ等の偏向器における上記要因により、各走査線の走査長のムラ(ばらつき)が現れる。このようなムラは、書込倍率誤差と同様に主に画像端部で目立ち、前記書込終了端のばらつきが画像として、画像端部の揺らぎとして現れる。終了端部だけでなく途中像高でも画像の揺らぎは発生するが、端部に行くほど上記偏向器の要因による画像への影響は大きく、画像品質の劣化が目立つ。この端部の揺らぎによる画像品質の劣化は、高品位の画質を要求する場合は補正を行う必要がある。

- 20 さらに、マルチビーム光学系の場合、各発光源の発振波長に差があると、走査レンズの色収差が補正されていない光学系の場合に露光位置ズレが発生し、各発光源に対応する光スポットが被走査媒体上を走査するときの走査幅は、発光源ごとに差が生じてしまい、画像品質の劣化の要因になってしまうため、走査幅の補正を行う必要がある。

また、半導体レーザアレイの発光点間隔は、その熱的クロストークや電氣的クロストークの影響により近づけられる限界がある。また、半導体レーザアレイの発光点間隔を何種類も作るのはコスト的にデメリットとなる。しかし、走査光学

- 系はその書込密度や走査幅により様々なものが開発されており、走査光学系の倍率も様々である。そのため、被走査面上で任意の走査ピッチを得るために、半導体レーザアレイを傾けることにより発光点のピッチを副走査方向において見かけ上所望のピッチとしている。しかし、半導体レーザアレイを傾けた場合、各発光点から射出した光束の被走査面上での走査開始位置がずれてしまう。また、傾けない場合でも、半導体レーザアレイの製造時の加工誤差により生じる発光点の位置ズレによっても上記と同様に被走査面上での走査開始位置がずれてしまう。これは画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。
- 5
- 10 さらに複数の半導体レーザを組み合わせるマルチビーム光学系の光源部を構成する場合も、上記と同様に走査開始位置がずれるという問題があり、やはり画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。
- また、光学系設計においては、出力画像の高画質化のために、光学系の高性能化（像面湾曲の低減、倍率誤差の低減、走査線曲がりの低減等）が図られている
- 15 が、光学系の光学素子の構成枚数、面構成、材質の制約によりそれにも限度がある。したがって、さらなる高性能化を図るためには、光学素子枚数の増加、特殊形状面の導入、高価な光学材料の使用が必要になり、光学系のコストアップ、設計難易度の向上、加工難易度の向上という課題が生じる。
- 20 発明の概要
- 本発明の総括的な目的は、上述の問題を解決した改良され有用な画像形成装置を提供することである。
- 本発明のより具体的な目的は、半導体レーザを光源として使用する画像形成装置において、画像書き込みクロックの調整により半導体レーザの制御を行い、高
- 25 精度な走査位置合わせを簡単な構成により行うことのできる画像形成装置を提供することを目的とする。
- 本発明の他の目的は、半導体レーザアレイを傾けて使用する場合や、半導体レーザアレイの製造時の加工誤差が生じる場合や、半導体レーザを複数個組み合わせて光源部とした場合に、複数の発光点の主走査方向の位置ズレを補正して高品

を入力する画像データ入力回路と、前記高周波クロック生成手段から出力されたクロックと前記画像データに基づいて変調パターンを生成する変調パターン生成回路と、該変調パターン生成手段によって生成された変調パターンに基づいて前記半導体レーザの出力を制御する半導体レーザ制御回路と、をさらに有すること

5 としてもよい。

すなわち、高周波クロック生成回路をPLLにより構成したので、半導体レーザが出力する光の走査速度の調整をPLLの出力周波数を調整することに粗調整を行い、位相変化回路により微調整を行うことができるので、走査速度の調整範囲を広く取ることができ、高精度な位置あわせを実現した画像形成装置を提供す

10 ることができる。

前記第1の分周器と、前記画像クロック位相変化回路と、前記高周波クロック発生器と、前記画像データ入力回路と、前記変調パターン生成回路とは、単一の半導体チップ内に形成された集積回路により構成することとしてもよい。

15 これにより、画素クロックのN倍の周波数から画素クロックの位相が変化できるようになるので、画素クロックを等価的に微調できるようになり、半導体レーザの波長ばらつきが発生しても、画素の位置を正確に保つことができる。

また、本発明による画像形成装置は、前記分周手段による分周比を外部からデータロードすることにより設定する分周比設定回路をさらに有することとしてもよい。これにより、分周回路のデータロードタイミングでロードするデータを変
20 更することできるようになるので、簡単に画素クロック周波数を微調できる。したがって、半導体レーザの波長ばらつきが発生しても、画素の位置を正確に保つことができる。

また、本発明による画像形成装置は、前記電圧制御発振器により発振されるパルスの位相を反転させたり、正転させたりするパルス反転回路をさらに有すること
25 としてもよい。これにより、簡単な構成で高画質な画像を形成することができる。

また、本発明による画像形成装置は、前記第2の分周器の動作を停止させたり、再開させたりする分周動作停止再開回路をさらに有することとしてもよい。これにより、簡単な画素クロック周波数を微調できるようになり、高画質な画像を形

成することができる。

- また、本発明による画像形成装置は、前記画素クロックの位相を遅らせるタイミングで前記半導体レーザを消灯する半導体レーザ消灯回路をさらに有することとしてもよい。画素クロックの位相を遅らせるタイミングで半導体レーザを消灯させるので、画素クロックの位相変化による画像濃度の変化をなくことができ、高画質な画像を形成することができるようになる。

- また、本発明の他の面によれば、半導体レーザと、該半導体レーザが出力するレーザ光で回転感光体を走査する光学ユニットと、前記半導体レーザが出力するレーザ光を所定の位置で検出するフォトディテクタとを有し、該フォトディテクタが検出したレーザ光に基づいて前記回転感光体を走査して静電潜像を形成する画像形成装置であって、高周波クロック生成回路と、前記高周波クロック生成回路からのクロックを分周することにより、前記フォトディテクタが検出するタイミングに同期した画像クロックを生成し、出力する分周器と、前記画像クロックに基づいて画像データを入力する画像データ入力回路と、前記高周波クロック生成手段から出力されたクロックと前記画像データ入力手段が入力する画像データとに基づいて、前記半導体レーザの出力を変調する半導体レーザ変調回路と、前記画像データ入力手段が画像データを取り込むタイミングと、前記画像クロックの位相とを、同時に変更する位相変更回路と、をさらに有する画像形成装置が提供される。

- 上述の発明によれば、出力画素クロックと内部クロックとの位相差を設定できるようになっているため、本集積回路に接続される画像データ転送回路ブロックとの画像データ転送遅延時間を適正にするように設定できる。これにより、1つの集積回路で高速な画素クロックを生成すると同時に半導体レーザを制御することができる。

- 上述の発明において、前記位相変更回路は、電源投入時の最初の同期信号と同期信号検出データの消灯データタイミングとに基づいて、画像データを取り込むタイミングと前記画像クロックの位相とを変更することとしてもよい。これにより、集積回路に接続される画像データ転送回路ブロックとの画像データ転送遅延時間を電源が投入されたときに再設定することができるので、1つの集積回路で

高速な画素クロックを生成すると同時に半導体レーザを制御することができる。

- また、前記位相変更回路は、各走査タイミング毎に画像データを取り込むタイミングと前記画像クロックの位相とを変更することとしてもよい。これにより、集積回路に接続された画像データ転送回路ブロックとの画像データ転送遅延時間を、各走査ライン毎に自動的に適正なものになるように設定することができるので、1つの集積回路で高速な画素クロックを生成すると同時に半導体レーザを制御することができる。

- また、前記位相変更回路は、ページの最初のラインでのみ画像データを取り込むタイミングと前記画像クロックの位相とを変更することとしてもよい。これにより、集積回路に接続される画像データ転送回路ブロックとの画像データ転送遅延時間を、1ページの最初に適正なものになるように設定することができるので、1つの集積回路で、高速な画素クロックを生成すると同時に半導体レーザを制御することができる

- また、前記画像クロックの出力の際の位相を変更して、前記画像データ入力回路がデータを取り込むタイミングと前記変調パターン生成回路が変調パターンを生成するタイミングとを変更しない構成としてもよい。すなわち、集積回路に接続される画像データ転送回路ブロックとの画像データ転送遅延時間を適正なものになるように設定でき、かつ、送り出し画素クロックのみ位相を変更させるようにしているので、1つの集積回路で、高速な画素クロックを生成すると同時に半導体レーザを制御することができ、かつ、簡単に作成することができる。

- また、本発明の別の面によれば、出力画素クロックに同期し、複数ラインの画像データのそれぞれに応じて変調された複数の光束により被走査媒体上を走査する光走査ユニットと、前記複数の光束の各発光点の走査方向の位置ずれによる走査方向の書き込み開始位置のずれを補正するように、前記出力画素クロックの位相を前記ライン毎に制御するクロック位相制御回路とを有する画像形成装置が提供される。

上述の発明によれば、複数の光束の各発光点の走査方向の位置ずれによる走査方向の書き込み開始位置のずれを補正するように前記出力画素クロックの位相をライン毎に制御するので、複数の発光点の主走査方向の位置ズレを補正して高品

位な画像を得ることができる。

また、本発明の更に別の面によれば、出力画素クロックに同期し、複数ラインの画像データのそれぞれに応じて変調された複数の光束を偏向器により偏向して、被走査媒体上を走査する光走査ユニットと、前記偏向器の複数の偏向面に対応する

- 5 走査長のバラツキを補正するように、前記出力画素クロックの位相を前記偏向面毎に制御するクロック位相制御回路と、を有する画像形成装置が提供される。

上述の発明によれば、ポリゴンスキャナ等の偏向器を要因として発生する走査長のばらつき(各走査線の光走査幅の差)、及びそれに伴う画像端部に現れる画像の揺らぎを補正することができる。

- 10 上述の発明において、前記クロック位相制御回路は、高周波クロック発生器と、前記高周波クロック発生器の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相を変更可能な回路を備えた第1の分周器と、前記第1の分周器の位相を変更する位相変更回路と、前記高周波クロック発生器の出力を分周して内部クロックを生成するとともに、前記内部クロックの位相
- 15 相を変更可能な回路を備えた第2の分周器と、を有することとしてもよい。

これにより、出力画像(画素)クロックと内部クロックとの位相差を設定できるため、ICに接続される画像データ転送回路ブロックとの画像データ転送遅延時間を適正にするよう設定できる。したがって、高速な画像(画素)クロック生成と同時に半導体レーザを制御することができ、また、そのようなICを提供するこ

- 20 とができる。

また、前記高周波クロック発生器は、電圧制御発振回路と、前記電圧制御発振回路の出力を分周するプログラマブル・カウンタと、前記プログラマブル・カウンタの出力と基準周波数との位相を比較する位相比較回路とを有するPLL回路により構成され、前記第1の分周器は前記電圧制御発振回路の出力を分周して前

- 25 記出力画素クロックを生成するとともに、前記出力画素クロックの位相を位相同期信号に同期させることとしてもよい。

これにより、高周波クロックの周波数の設定自由度が向上し、画像(画素)クロックを書込み位置に同期でき、高速な画像(画素)クロック生成と同時に半導体レーザを制御することができ、また、そのようなICを提供することができる。

また、本発明による画像形成装置は、前記出力画素クロックに同期して画像データに基づいて最適な露光エネルギー分布が得られる変調パターンを生成する変調パターン生成回路を更に有することとしてもよい。

- 5 これにより、高周波クロックの周波数の設定自由度が向上し、さらに画像データから最適な露光エネルギー分布が得られる高速な光変調パターンが生成できる。また、高速な画像(画素)クロック生成と同時に半導体レーザを制御することができ、そのようなICを提供することができる。

- 10 また、前記変調パターン生成回路は、複数ライン毎の各出力画素クロックの位相を変更可能であるように構成することとしてもよい。これにより、高速化を実現でき、さらに複数の発光点の書出し位置を微調整できる。また、高速な画像(画素)クロック生成と同時に半導体レーザを制御することができ、そのようなICを提供することができる。

- 15 また、前記第1の分周器と、前記位相変更回路と、前記PLL回路と、前記変調パターン生成回路とを、単一の集積回路内に形成することとしてもよい。これにより、半導体レーザ変調駆動回路を別の場所に設置できるため、光源部周りのレイアウトを行いやすくなり、高速な画像(画素)クロック生成と同時に半導体レーザを制御するICを提供できる。

- 20 また、前記集積回路は、半導体レーザ変調駆動回路をさらに有することとしてもよい。これにより、伝達速度の早い回路部分を一体化するため高速化を実現でき、本発明により高速な画像(画素)クロック生成と同時に半導体レーザを制御するICを提供することができる。

本発明の他の目的、特徴及び利点は添付の図面を参照しながら以下の詳細な説明を読むことにより、一層明瞭となるであろう。

25 図面の簡単な説明

図1は従来の画像形成装置の構成を示す図；

図2A及び2Bは、偏向器に起因した画像端部のバラツキを示す図；

図3は光変調パルスと露光エネルギーとの関係を示すグラフ；

図4は図3にける従来の変調光パルスの幅を狭くした場合の光変調パルスと露

Abstract

図 6 は変調パターンにより変化させた場合の露光エネルギー分布を示すグラフ

図 7 は光パルス列を生成するための変調データを生成する回路のブロック図；

図9は光パルスを生成するためのデータを示す図；

図 10 は図 5 に示された Pulse-Modulation-Unit からのデータに応じて半導体

図 1 1 は VCLK の生成と画素クロックの生成を実現した回路のブロック図；

;

15 するタイミング図；。

図 15 は VCLK を 8 分周した際のパルス列を示す図；

において、カソードがコモンとなっている回路の回路図；

20 図17は光強度のピーク値と半導体レーザのバイアス電流を制御した回路構成

図 19 は半導体レーザを制御するタイミングを設定する回路の回路図；

25 合のチップの構成図；

た場合のチップの構成図；

図 2 3 は画像データ変換処理を実施する回路のブロック図；

図 2 4 は画素クロックを 1 / 8 位相遅延制御する際のタイミングチャート；

図 2 5 は本発明の第 2 実施例による画像形成装置に設けられる光走査部の斜視図；

図 2 6 は図 2 5 に示す光源装置の構成を示す図；

5 図 2 7 A は光源に設けられた複数の発光点を示す図；図 2 7 B は複数の発光点が傾斜して整列する場合の図；

図 2 8 は 4 ビーム光源ユニットの斜視図；

図 2 9 は V C L K 信号生成と画素クロック生成を行う回路の回路図；

図 3 0 は本発明による V C L K 信号生成と画素クロック生成を行う回路の回路図；

図 3 1 は複数の発光点による走査を説明するための図；

図 3 2 は複数の発光点とその書き出し位置を説明するための図；

図 3 3 は V C L K 信号生成と画素クロック生成を行う回路の回路図；

図 3 4 は偏向面の検出回路の回路図；

15 図 3 5 は本発明による高周波クロック・画素クロック生成回路のブロック図；

図 3 6 は、本発明の第 2 実施例による回路を 1 チップ I C として実現した場合のチップの構成図；

図 3 7 は図 3 6 における主要信号を示すタイミングチャート；

図 3 8 はあらかじめ決められた規則に従って光変調パルスを生成する構成にした場合のチップの構成図；

図 3 9 は図 1 6 に示す回路構成に対して、シェーディングデータを加算する構成を追加した回路の回路図である。

好ましい実施例の詳細な説明

25 (第 1 実施例)

まず、本発明の第 1 実施例による画像形成装置について、図 3 乃至図 2 4 を参照しながら説明する。なお、本実施例による画像形成装置は、図 1 に示される画像形成装置の光書き込み系における感光体 3 に対する走査レンズ 2 やフォトディテクタ 4 と同様な構成を有する。

図3は光変調パルスと露光エネルギーとの関係を示すグラフである。図3 1において、④は従来の光変調パルスの一例である。②は半導体レーザ光をコリメートレンズにて並行光にした後、走査光学系を経て感光体面上で結像させる光学系においてビームプロファイルがガウス分布をしている場合の露光エネルギーを示す。本実施例では、光パルスは③で示すようなパターンを有し、同一光学系にて露光され、①で示すような露光エネルギー分布を有する。

図4は、図3にける従来の変調光パルスの幅を狭くした場合の光変調パルスと露光エネルギーとの関係を示すグラフである。これに対応するように、本実施例では光の変調パターンを変化させた場合に対応する露光エネルギー分布となる。

図5は、上述の従来例において、光の変調パターンを順次変化させた場合の露光エネルギー分布を示すグラフであり、図6は、本実施例の変調パターンにより変化させた場合の露光エネルギー分布を示すグラフである。図4に示す光変調パターンは、図4の光パターンで示されるように図3の③と図4の⑦のような左右対称な細い第1の光パルス列と中心にて光らせる第2のパルスの組み合わせである。

第1のパルスの間隔を狭くすると、露光エネルギー分布は急峻なカーブとなる。一方、第1のパルスの間隔を狭くすると、露光エネルギー分布はなだらかなカーブとなる。この場合には第2のパルスにより露光エネルギー分布の中心での低下を抑制するようにしている。

以上の図から分かるように、本実施例の光パルスにて露光することにより、約20%程度光ビーム径が細くなった場合に近い、急峻な露光エネルギーを得ることができる。これにより、感光体表面電位分布がビーム径をより細くした場合と同じような表面電位分布が得られることになるので、粒状性(S/N比)がよい画像が得ることができる。また、本レーザビームの変調に対しては、走査光学系について説明してきたがレーザ光が照射される対象物が回転しているような場合(例えば光ディスク等)においても有効な方法である。

図7は、上記光パルス列を生成するための変調データを生成する回路のブロック図である。図7において、画像データは、画像データを転送するClockに基づいてLUT(Look Up Table)17にて変調パルス列に対応するデータに変換さ

れ、Load 信号に応じて Shift-Register 1 5 にロードされる。

Phase-Detector 1 1、Loop-Filter 1 2、VCO 1 3 および 1/8 分周器 1 4 は、Clock を 8 倍する PLL-LOOP を構成し、Clock の 8 倍の周波数の VCLK を生成する。Shift-Register 1 5 は、VCLK に従い変調データ (Modulation

5 Data) を出力する。図 4 の⑦の光パルスは、図 8 に示されるようなデータにより生成され、図 3 の③の光パルスは図 9 に示されるようなデータにより生成される。

また、画像データを LUT により変換することにより、LUT の内容を変更するだけでレーザ走査光学系が変化した場合にも同一回路にて図 3 および図 4 に示される光パルスを自由に選択できる。このような構成にすることにより、自由度
10 の高い光変調パルスを生成することができ、粒状性のよい画像を得ることができる。

図 1 0 は、図 5 に示された Pulse-Modulation-Unit 1 0 1 からのデータに応じて半導体レーザを制御・変調するための回路を示す。制御回路 1 0 2 により、光出力 P_0 の場合、LD (半導体レーザ) 1 1 0 の光を受光する PD (受光素子)
15 1 1 1 の出力電流により発生する電圧 (REXT 1 1 3 を介して光起電流が電圧に変換される) が、XPD 端子 1 0 9 にて検出される。検出された電圧は、VCONT 電圧と比較・制御され、制御結果が XCH 端子 1 0 6 に接続された Hold-Capacitor 1 0 7 によりホールドされる。

また、光出力が P_1 の場合には、同様にして制御され、制御結果は Hold-Capacitor 1 0 5 にホールドされる。光出力は P_0 と P_1 との間の電圧に対して直線
20 であることを仮定して (実際に、半導体レーザの I-L 特性によりこの直線性は精度よく成立する) 多段階に変調される。Modulation-Data を D_n とした場合 (VCLK の速度で変化するデータ)、半導体レーザ駆動電流 I_n 、Hold-Capacitor 1 と Hold-Capacitor 2 の電圧を各々 V_1 、 V_2 とし、 $P_1 = P_0 / 2$ とす
25 ると

$$I_n = \{ (V_0 - V_1) \times D_n + V_1 \} / R_E$$

ここで $D_n = -1 \sim 1$ となるように制御回路 1 0 2 と変調信号発生回路 1 0 3 とで設定されている。

このようにして、Pulse-Modulation-Unit 1 0 1 からの出力データに従い、半

導体レーザの光パルスパターンを生成することができ、図3および図4に示される露光エネルギー分布を生成することが比較的簡単な構成で可能となり、粒状性のよい画像を得ることができる。

図7に示す回路において、画素クロックの8倍になる周波数VCLKを画素クロックから生成しているが、通常画素クロックも基準クロックから生成される。レーザの発振波長により光学系の色収差による露光位置ずれが発生しやすくなるため、画素クロックを微調する画素クロック生成回路が要求される。しかし、このような回路を別途設けると、PLL回路のジッタが2重に蓄積され、コスト的にも割高となる。

図11は、上述の問題点を解決し、VCLKの生成と画素クロックの生成を実現した回路のブロック図である。図9において、位相周波数比較回路201、Loop-Filter 202およびVCO203によってPLL-LOOPが構成される。位相周波数比較回路201はProgrammable-Counter204によってN分周された基準クロックとVCLKとを比較する。Loop-Filter 202は、位相周波数比較回路201の結果をフィルタする。VCO203の発振周波数は、Loop-Filter 204の出力電圧に基づいて変化する。上記されたPLL-LOOPによってVCLKが生成される。

また、Programmable-Counter204の分周比Nは外部からの分周比設定により設定される。VCLKと位相同期パルスとに基づいて、1/8分周回路206にデータ0'がロードされることにより位相同期パルスに同期した画素クロックがVCLKの1/8の周波数で生成される。

また、1/8分周回路207は、同様のタイミングで予め設定された位相データをロードして画素クロックとの位相差を有する内部クロックを生成する。1/8分周回路207は画素クロックが遅い場合、あるいは画像データを転送するまでの時間遅れが問題とならない場合は必要とはならない。

しかしながら、画素クロックの周波数が高い場合は、本出力に同期させた外部からの画像データを取り込む時、本画素クロック出力から画像データ入力までの遅延時間が問題となり、正しくデータを取り込むことができなくなる。このような場合には、本実施例のように予め設定された位相データに基づいて画像データ

取り込みクロックの位相を、出力画素クロックに対し可変にしておくことで回避できる。

さらに本実施例では、Phase-Set 信号により 1/8 分周回路 206 および 1/8 分周回路 207 のカウント（分周）を Enable/Disable できるようになっている。これは、Phase-Set 信号に立ち上がりエッジを VCLK で捉え VCLK の 1 クロックサイクル分カウント（分周）動作を停止させるようになっている。このようにすることにより、画素クロックおよび内部クロックの位相を 1/8 クロック刻みで遅らせることができる。

1/8 クロックサイクルの位相遅れ量を 1 走査期間中に決められた間隔（もしくは決められた間隔に近い）で実行することにより、1 走査期間での画素クロックの周波数を等価的に微調できることになる。これは PLL-LOOP にて設定可能な周波数可変ステップをより細かく設定できることと等価である。

実際に PLL-LOOP の周波数可変ステップを細かく設定しようとするれば、Programmable-Counter 204 の分周設定範囲を広くすると同時に、基準クロックを低くするか、VCLK を高くすることでも可能である。しかし、基準クロックを低くすると、VCLK の周波数変動が基準サイクルクロックでしか検出することができなくなり、VCO 203 の発振周波数安定化が大きな技術課題となってしまう。一方、VCLK を高くするには、VCO 203 の発振周波数を高くしなければならず、これも技術課題となってしまう。

本発明によれば、VCO を高くできればそれを上回るステップで周波数設定が可能となり、VCO を安定できればそれを上回るステップで周波数設定が可能となる。

また、Phase-Set 信号による位相遅れを生成する 1/8 クロックサイクルの間、半導体レーザを発光しないようにしておくことにより、露光エネルギー量の不連続性は解消される。また、Phase-Set 信号を半導体レーザが発光しない時に設定してもよい。さらに、走査ごとに少しずつ位置で設定してもよい。さらにこのようなタイミングで位相遅れ量を変化させることにより、出力画像に影響なく画素クロック位相を変更できる。

また、Phase-Set 信号を走査の開始タイミングのみ走査毎に一定刻み増加もし

くは減少するように（例えば、 $1/8 \rightarrow 2/8 \rightarrow 3/8 \rightarrow 4/8 \rightarrow 5/8 \rightarrow 6/8 \rightarrow 7/8 \rightarrow 0$ のように）変化させることにより、 $1/8$ クロックサイクル毎に各画素の位置を制御することができる。このように画像出力のスクリーン角を微調することにより、高画質画像を得ることができる。

- 5 図12は、N-Counter 309を内部にもち、N-カウント毎に Phase-Set 信号を自動的に生成し、 $1/8$ 画素クロック位相を遅らせるように構成した回路のブロック図である。本実施例の場合には、 $1/8$ クロックの時間光パルスを出力しないようにしている。なお、図12において、図11に示す構成部品と同等な部品には、下2桁が同じ番号である参照符号を付し、その説明は省略する。例えば、図12に示す位相周波数比較回路301は、図11に示す位相周波数比較回路201と同等な構成部品である。

- 15 図12に示すような回路構成としても、図1に示されるように露光エネルギー分布が不連続になることはない。というのは、半導体レーザのビーム径に対し充分短い時間のみ光を消しているためと、画素の区切りのタイミングであるためである。なお、N-Counter 309のカウント値Nの値はシリアルデータにより設定可能となっている。

このようにすることにより、PLL-LOOPにより設定できない刻みの周波数をシリアルデータにより設定できるようになるので、等価的に周波数刻みを細かく設定できるようになる。

- 20 図13は、画素クロックに対して内部クロックの位相を位相データに応じて動作するタイミング図である。上からVCLK、同期パルス、Load信号、画素クロック、画像データ、Reset2信号となっている。また、図13に示す動作は、位相検出Set信号がLowのときのみ動作するようになっている。このようにすることにより、位相検出Set信号がLowのときには常に同期パルスが有効となり、内部クロックと画像データの位相関係がコントロールされるようになる。一方、位相検出Set信号を電源投入の最初のタイミングのみLowとすることにより初期設定された位相差を維持することができる。

図14は、図7に示す回路の場合と対比して、LUTのBIT数を低減した場合の方法を説明するための図である。図14に示す方法では、1画素の中心を基

準に左右独立なパルスを選択できるようになっている。VCLKを8分周するときの8位相のパルス（図15に示される）を選択するための選択テーブルが設定されることにより、任意の位置にパルスを生成する生成方法が示されている。

- このようにすることにより、図7に示す回路の場合よりも選択可能なパルス列
- 5 範囲は狭くなるが、LUTの回路規模が小さくなり低コストにて図4および図6に示される光パルスを得る場合には有効である。

- 図16は、光出力強度のピーク値と半導体レーザのバイアス電流を制御した回路構成においてカソードがコモンとなっている半導体レーザに対し用いられる回路を示す。Error-Amp 401により半導体レーザの光出力がPD（受光素子）4
- 10 10で検出される。検出された結果は電圧変換されたReference Voltageと比較される。制御値はHold-Capacitor 407により保持される。本実施例ではVCC-80mVの電圧となるようにRE端子411電圧を制御するように、Error-Amp 404の制御結果をHold-Capacitor 408にて保持する。

- なおError-Amp 401の制御タイミングは、半導体レーザを発光させるアクティブな時、一定時間の遅れが設けられるように制御されている。また、Error-Amp 404は半導体レーザが消灯したときのバイアス電流が一定値となるように、LDON信号が非アクティブのときに一定時間遅れて制御するようにしている。
- 15

- このように、LDON信号から一定時間遅れて制御を開始することにより、半導体レーザの光出力から受光素子の受光電流、受光電流を電圧に変換し、Error-Amp 401に信号の伝送における遅れ時間による誤差が発生しないようにしている。また、バイアス電流の制御タイミングにおいても同様である。
- 20

- さらに、半導体レーザをバイポーラトランジスタのエミッタに接続することにより、バイポーラトランジスタのベース電圧にできるだけ遅れが発生しないように半導体レーザに伝える構成となっている。したがって、本実施例では半導体レーザの端子間電圧を所定電圧にすることにより、所定の光出力を得る構成をとっている。このように構成することで、半導体レーザを高速に変調することができ
- 25

図17は、アノードコモンの半導体レーザを使用した場合の回路を示す。図17に示す回路では、図16に示す回路と比較して、半導体レーザをトランジスタ

のコレクタに接続している。このようにすることにより、ほぼカソードコモンの半導体レーザと同様な回路を実現することができる。この結果、アノードコモンとカソードコモンの半導体レーザを同一 I C で使用可能にすることができる。

- 図 1 8 に示す回路においては、半導体レーザを制御するタイミングを生成するために、LDON 信号が High の時 C_1 を急速充電し LDON 信号が Low のときにはコンデンサの容量を一定電流で放電させることにより、細いパルス列がきたときには制御しなくなるようにしている。このようにすることにより、単純な遅延回路 + 論理回路構成に比較し、狭いパルス列については制御値をホールドすることにより、制御精度が向上する。

- 図 1 9 は、図 1 6 および図 1 7 のような半導体レーザの接続を実施した場合、受光素子の端子電圧が $V_{CC}/2$ 以下の場合にはアノードコモンの半導体レーザが接続されており、そうでない場合はカソードコモンされている例である。半導体レーザの光を検出する受光素子の端子電圧がアノードコモンの場合には GND を基準に変化し、カソードコモンの場合には V_{CC} を基準に変化する性質が使用されている。

- このようにすることにより、アノードコモン半導体レーザが接続されているか、カソードコモン半導体レーザが接続されているかが自動的に判別される。したがって、図 1 6 および図 1 7 に従った制御方向を変えることができ、アノードコモン半導体レーザとカソードコモン半導体レーザの両方に対し同一回路 (I C) を使用することができる。

図 2 0 は、上述の回路を単一のチップ I C として実現した場合のチップの構成図である。本実施例では、画素クロック周波数は同一の周波数であり、同期信号は 2 種類により独立に制御でき、半導体レーザを制御変調する回路部は 2 チャンネルである。

- Voltage-Reference 6 0 1 は本 I C 全体の基準電源供給回路であり、そのほかの回路ブロックへ基準電源を供給する。Phase-Detector 6 0 2、VCO 6 0 3、Clock-Driver 6 0 4 および 1 2 BIT-Programmable-Counter 6 0 5 により PLL-LOOP が構成される。Counter-Register 6 0 6 に設定された 1 2 BIT のデータのうち下位 1 BIT が Clock-Driver 6 0 4 の出力クロック VCLK の位相を π 遅らせるよ

うに設定され、上位 11 BIT が 12 BIT-Programmable-Counter 605 の分周比を設定する。このようにして、CLK の周波数は $F_{REF} \times N / 2$ (N: 12 BIT データ) となっている。

DETP1 および DETP2 のそれぞれに同期して、Xreset、Yreset および CLK の反転かを選択された XCLK、YCLK を、XResetPulse-Generator 608 および YResetPulse-Generator 611 は出力する。XDriver-Driver 609 および YDriver-Driver 611 は、XCLK、YCLK、Xreset および Yreset に従い 4 分周され、XDEPT および Ydept に同期した画素クロック XPCLK および YPCLK を出力する。

図 24 に示されるようなタイミングチャートに従い、XDPhase および YDPhase の立ち上がりエッジに従い、画素クロックを 1/8 位相遅延させることができるようになっている。この結果、ライン走査毎に画素クロック開始位置を 1/8 クロックサイクル毎に遅延制御することができる。

また、1 ラインの走査期間中、M 回立ち上がりエッジを与えることにより、画素クロック周波数を $F_{CLK} \times N / (N + M / 8)$ に等価的に変更することができる。さらに、図 24 のタイミングチャートに示されるように、ALDMASK および BLKMASK 信号を生成することにより、画素クロックを 1/8 クロックサイクル遅延させ、タイミングでは半導体レーザを強制的に OFF にするようにして、画像濃度が急激に変化しないようにしている。この場合、自動的に消灯させるようにしているが、予め、画像データから 1/8 濃度減らしておけば、強制的に消灯させる必要はない。

このように画像データから予め 1/8 減らしておく場合には、MaskEN 信号を High にすることにより LDMASK 信号を無効にする。図 21 は、あらかじめ決められた規則に従って光変調パルスを生成する構成にした場合のチップの構成が示されている。

図 22 は、シリアル I/F 801 により Code-Area-Program-Counter 805 にプログラムコードを書き込むことにより、画像データの有効書き込み期間、電子写真プロセス制御のための濃度パターン生成、孤立点ドットの検出およびそれに応じた画像データ変換処理を実施するユニットを構成して、上記記載事項を実現

した実施例である。

なお、ALU804はClock-Generator 806の出力クロック（画素クロックの8倍）にて動作を実行している。またプログラムコードは各同期信号毎に所定のプログラムカウンタ値になるように制御されている。以上のように、転送されてきた画像データを出力する場合の処理を施すALU804は最終結果をLD-Controller 807はこのデータに従い半導体レーザを変調する。なお、速度変換RAM802は転送されてくるクロックと書き込みクロックとの速度差を吸収するためのバッファメモリとなっている。

図23に示す回路は、ALU904は演算結果をShift-Register 910に1画素分の光変調パターンに相当するデータパターンをClock-Generator 906の8クロックサイクルに1回書き込み、Shift-Register 910はClock-Generator 906で生成されるクロックに従いLD-Controller 907変調データを受け渡す構成として実現した例である。なお、図23において、図22に示す構成部品と同等な部品には、下2桁が同じ番号の参照符号を付し、その説明は省略する。

15 (第2実施例)

次に、本発明の第2実施例による画像形成装置について、図25乃至図39を参照しながら説明する。なお、本発明の第2実施例による画像形成装置に設けられる回路の一部は、上述の第1実施例による画像形成装置回路と同等な回路であり、そのような回路については第1実施例に関連して説明した図を参照しながら説明する。

図25は本発明の第2実施例による画像形成装置に設けられる光走査部の斜視図である。また、図26は図25に示す光源装置の構成を示す図である。光源装置1010は、図26に詳しく示すように複数（この例では2個）の発光部1011a、1012aを有する光源部と、各発光部1011、1012から射出した発散光束をカップリングするカップリングレンズ1013、1014を有する。カップリングレンズ1013、1014は、上記発散光束を「以後の光学系に適した光束形態（例えば平行光束、弱い発散性の光束や収束光束等）」に変換する。この実施の形態では、図26に示すように、カップリングされた各光束は「平行光束B1、B2」として光源装置1010から出射し、線像結像系としてのシリ

ンドリカルレンズ1003により偏向器である回転多面鏡1004の偏向反射面近傍に、主走査方向に長くほぼ線状に結像する。

偏向反射面により偏向された2光束は、回転多面鏡4の等速回転に伴い等角速度的に偏向しつつ結像レンズ1005、1006を透過し、次いで光路折り曲げミラー7により光路を折り曲げられ、レンズ1005、1006の作用により被走査面である感光体8の感光面上に光スポットとして集光し、被走査面上の2走査線を走査する。2つの光スポットは、副走査方向に所望の間隔（走査ピッチ）を隔てて形成される。

光源部の各発光部の相対的な位置関係は、光源部と被走査面との間にある結像系（この実施の形態ではカップリングレンズ1013、1014、シンドリカルレンズ1004、結像レンズ1005、1006）の副走査方向の合成倍率Mに応じて上記「所望の走査線ピッチ」が実現されるように決定される。

ここで、光源装置1010は図26に示すように、2個の半導体レーザ1011、1012からの発散光束を、各半導体レーザに対応させたカップリングレンズ1013、1014により別個にカップリングして平行光束とし、カップリングされた光束をビーム合成プリズム1015を用いてビーム合成する。ビーム合成プリズム1015は偏光分離膜1015Aを有し、カップリングレンズ1013からの光束は偏光分離膜1015Aを透過する。また、カップリングレンズ1014からの光束は1/2波長板1016により、偏光面を当初の状態から90度旋回され、プリズム面と偏光分離膜1015Aで順次反射されてビーム合成プリズム1015から出射する。

カップリングレンズ1013、1014の光軸（鎖線で示す）は、互いに平行で、ビーム合成プリズム1015以後は、図のように1本に合成されて合成光軸AXとなる。図26は上下方向が副走査方向である。半導体レーザ1011、1012の発光部1011a、1012aは、それぞれ対応するカップリングレンズ1013、1014の光軸に対して副走査方向に（互いに逆向きに）ずれており、このためビーム合成プリズム1015によりビーム合成された各光束B1、B2は、副走査方向において互いに角をなす。

光源部は図26に示す如きものに限らず、公知の適宜のものを用いることがで

きる。例えば「複数の発光部をモノリシックにアレイ配列した半導体レーザアレイ」を用い、発光部から射出する複数の発散光束を共通のカップリングレンズによりカップリングするように構成してもよい。

半導体レーザアレイの発光点間隔は、その熱的クロストークや電氣的クロストークの影響により近づけられる限界（ $\sim 14 \mu\text{m}$ ）がある。また、半導体レーザアレイの発光点間隔を何種類も作るのはコスト的にデメリットとなる。しかし、走査光学系はその書込密度や走査幅により様々なものが開発されており、走査光学系の倍率も様々である。そのため、被走査面上で任意の走査ピッチを得るために、半導体レーザアレイを傾けることにより副走査方向のピッチが見かけ上所望のピッチになったようにして使用している。図 2 7 B に示すように（この例は発光点が 4 つの半導体レーザアレイの例である）、発光点間隔 P の半導体レーザアレイを角度 θ 傾けることにより、副走査方向においてピッチが $P \cos \theta$ と同等になる。こうすることにより副走査方向の走査ピッチを任意の所望のピッチにすることができる。

しかし、半導体レーザアレイを傾けた場合、図 2 7 B に示すように、主走査方向の発光点位置が距離 d だけズレてしまい、それにより各発光点から射出した光束の被走査面上での走査開始位置もズレてしまう。その場合、被走査面上では主走査方向の光学系全系の倍率が掛けられた量だけずれる。また、図 2 7 A に示すような傾けない場合でも、半導体レーザアレイの製造時の加工誤差により生じる発光点の位置ズレによっても上記と同様に被走査面上での走査開始位置がずれてしまう。以上に述べてきた様に、主走査方向の発光点の位置のずれは、最終的な画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。

図 2 8 は汎用の半導体レーザを合計 4 個用いた 4 ビーム光源ユニットの斜視図である。図 2 8 において半導体レーザ 1 1 0 1、1 1 0 2 はアルミダイキャスト製の支持部材 1 1 0 3 の裏側に主走査方向に約 8 mm 間隔で並設して形成された図示しない嵌合穴に各々圧入して支持され、第 1 射出軸に対称に一行に配置される。また、コリメートレンズ 1 1 0 4、1 1 0 5 は、各々の半導体レーザの発散光束が平行光束となるように X 位置を、また所定のビーム射出方向となるように

Y, Z位置を合わせて半導体レーザ1101、1102と対に形成したU字状の支持部1103-1、1103-2との隙間にUV硬化接着剤を充填し固定されて、第1の光源部を構成する。同様に第2の光源部も、支持部材1108に半導体レーザ1106、1107が圧入され、コリメートレンズ1119、1109が固定されて構成される。

第1、第2の光源部は、x軸に対称に配置され、各々の射出軸（第1、第2の射出軸）と中心を一致させた円筒部1103-6、1108-6をベース部材1110の裏側より嵌合穴1110-1、1110-2に上記円筒部を係合させ、位置決め部1103-3、1103-4、1103-5及び1108-3、1108-4、1108-5の各々3点を基準に当接し、位置決め部1103-3、1103-4、1108-3、1108-4においてベース部材の表側よりネジをとおして固定する。

ベース部材には各半導体レーザに対応したアパーチャが設けられた板1111と、半導体レーザ1106、1107のビームを半導体レーザ1101、1102の光軸に近接させて射出するビーム合成プリズム1112が支持される。上記のように構成したベース部材はホルダ部材1113に保持され、走査光学手段を収納する光学ハウジング（図示しない）に走査光学手段の光軸に円筒部1113-1の中心を合わせて取付を行うことで走査光学手段に複数のビームを入射せしめる。また、レバー1113-3を調節ネジ1115で上下させることによって円筒部1113-1を中心として回転可能に保持される。

これにより走査光学系の配置誤差等によって走査線の傾きが生じるが、この走査線に合わせてビーム配列を傾けることができる。各半導体レーザの駆動回路が形成される基板114は、支柱113-2に固定され、半導体レーザのリードをハンダづけして回路接続がなされる。

上記に示したような複数の発光部を有する光源装置においては、各発光部の発振波長が異なることにより、図25に示す結像レンズ1005、1006の持つ色収差により被走査面上を走査する各走査光の倍率が異なり、露光幅が異なるという現象を起こしてしまう。また、半導体レーザアレイを傾けた場合と同様に、図28から明らかなように、主走査方向の発光点位置がズレた構成となっており、

それにより各発光点から射出した光束の被走査面上での走査開始位置もズレてしまう。この主走査方向の走査開始位置のずれは、半導体レーザアレイを傾けた場合と同様に、最終的な画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。

- 5 上記の発光点の位置のずれを言い換えると、「偏向走査平面（主走査平面）と直交する軸に対する半導体レーザの各発光点の相対的位置が異なる場合」と言い換えることができる。このような状態の場合、つまり偏向走査平面と直交する軸上に各発光点の相対位置がない場合に、被走査面上の光スポットの走査開始位置は主走査方向においてずれた位置になり、書込端部は「がたがた」した画像になってしまう。
- 10

- 上述の第1実施例において図3乃至図6を参照しながら説明したように、本発明による光パルスにて露光することにより約20%程度光ビーム径が細くなった場合に近い、急峻な露光エネルギー分布を得ることができる。このようにすることにより感光体表面電位分布がビーム径をより細くした場合と同じような表面電位分布が得られることになるので、粒状性(S/N比)がよい画像を得ることができる。
- 15

- 本実施例において、光変調パルス列を生成するためのパルス変調ユニット(Pulse-Modulation-Unit)は、上述の第1実施例において図7に示す回路と同等であり、その説明は省略する。また、半導体レーザを制御・変調するためのLDコントロールユニット及びLD周辺回路も図10に示す回路と同等であるため、その説明は省略する。
- 20

- ここで、図7に示すパルス変調ユニットにおいては、画素クロックCLKの8倍になる周波数の高周波クロックVCLKを画素クロックCLKから生成する構成を示したが、通常、画素クロックCLK自身も基準クロックから生成される。
- 25
- 半導体レーザLDを光源とする場合、レーザの発振波長跳びや、複数の発光部の発振波長の差により、走査光学系の持つ色収差（いわゆる倍率の色収差）による露光（走査）位置ずれが発生するため、画素クロックを微調できる画素クロック生成回路が要求される。

 例えば、1走査の画素数を14,000、画素クロック周波数を60MHz、

走査両端での画素位置精度を1/4画素幅にすると、単一PLLでこの周波数設定を可能とするには、

$$60\text{MHz} \div (14000 \times 4) = 1.07\text{kHz}$$

となり、約1kHzの基準クロックでPLLを制御しなければならない。この結

- 5 果、1kHz毎にしかPLLの位相変動量を検出できなくなり、PLLとしての制御帯域幅は低下する。さらに外乱等に弱くなり、画素位置精度を向上させる為にはPLLを構成するVCO203の安定性に対する要求が非常に高くなってしま
- 10 う。これを避けるために2重のPLLによる方法等もあるが、このような回路を別途持つことにより、PLL回路のジッタが2重に蓄積されることとなりジッタの拡大を引き起こす。また、コスト的にも割高となってしまう。

図29はこの問題点を解決すると同時にVCLK信号生成と画素クロック生成を実現した回路を示す。以下図29に従って動作を説明する。図29に示す回路では、基準クロックと、VCLK信号をプログラマブル・カウンタ

- (Programmable-Counter) 1321によりN分周した結果とを比較する位相周波
- 15 数比較回路1322と、位相周波数比較回路1322の結果をフィルタするループ・フィルタ (Loop-Filter) 1323と、ループ・フィルタ1323の出力電圧に応じて発振周波数が変化するVCO1324とからなるPLLループによってVCLK信号を生成する。また、プログラマブル・カウンタ1321の分周比Nは外部から分周比設定により設定される。

- 20 このようにしてVCLK信号を生成してVCLK信号と位相同期パルスにより、ロードパルス・ジェネレータ325から1/8分周回路326にデータ=0をロードすることにより、位相同期パルスに位相同期した画素クロックを、VCLK信号の1/8の周波数で生成する。

- この回路はまた、同様のタイミングであらかじめ設定された位相データをレジ
- 25 スタ1325からロードすると、画素クロックとの位相差を持った内部クロックを生成する1/8分周回路327を有している。1/8分周回路327は、画素クロックが遅い場合には必要ない。また、画像データを転送するまでの時間遅れが問題とならなければ必要とはならない。

しかしながら、画素クロックの周波数が高い場合には、本出力に同期させた外

部からの画像データを取り込むとき、本画素クロック出力から画像データ入力までの遅延時間が問題となり、正しくデータを取り込むことができなくなる。このような場合には、本実施例のようにあらかじめ設定された位相データに基づいて、画像データ取り込みクロックの位相を、出力画素クロックに対し可変にしておく

5 ことで回避できる。

さらに、本実施例では、Phase-Set 信号により 1/8 分周回路 1 3 2 6、1 3 2 7 のカウント(分周)をイネーブル/ディスエーブルできるようになっている。これは、本実施例の場合には、Phase-Set 信号の立上りエッジを VCLK で捉え、VCLK の 1 クロックサイクル分カウント(分周)動作を停止させるようになって

10 いる。このようにすることにより、画素クロック及び内部クロックの位相を 1/8 クロック刻みで遅らせることができる。1/8 クロックサイクルの位相遅れ量を、1 走査期間中に決められた間隔（もしくは決められた間隔に近い）で実行することにより、1 走査期間での画素クロックの周波数を等価的に微調できることになる。これは、PLL-LOOP により設定可能な周波数可変ステップをより
15 細かく設定できることと等価である。

逆に微調において、1/8 クロック早める場合は、図 30 に示すように、データ=0 をロードする代わりにデータ=1 をロードし、分周数=8→7 とすることにより、1/8 クロック分短くすることができる。このとき、ロードデータが設定されるとこれがレジスタ 1 3 2 9 から分周回路 1 3 2 6-1 にデータが出力さ
20 れるが、分周数=7 が出力されたときは短くなり、分周数=9 が出力された場合は延びることになる。

別の方法としては、もともとの画素クロックを縮めて短めに設定しておき、少しずつ 1 走査期間中の決められた間隔（もしくは決められた間隔に近い間隔）で、画素クロック及び内部クロックの位相を 1/8 クロック刻みで遅らせることによ
25 り、微調をおこない所望の画像を得ることができる。

ここで、光源部である半導体レーザ LD の発光部が、複数の発光部から構成されるマルチビーム光学系の場合、各発光部の発信波長が異なると、被走査面を走査結像させるための走査光学系の持つ色収差により、各発光部による走査光の走査幅に差が生じ、走査線毎による画像位置ズレやハイライト部における濃度ムラ

を引き起こし、画像劣化の要因となる。

この走査幅の差を上記の位相シフトを用いる事により補正をかけることができ、
所望の狙いの書込位置に書き込むことができるようになる。走査幅が延びてしま
う発光部に対しては、短くなるようにシフトさせ、走査幅が縮んでしまう発光部
5 に対しては、長くなるようにシフトさせればよい。一方、あらかじめ元々の画像
クロックを縮めて短めに設定してある場合は、走査幅が延びてしまう発光部と走
査幅が縮んでしまう発光部とでそれぞれシフト量を変えることにより対応すれば
よい。

ここで、半導体レーザアレイを傾けた場合、上記でも述べたように、図27B
10 に示すように、主走査方向の発光点位置が間隔dだけズレてしまい、それにより
各発光点から射出した光束の被走査面上での走査開始位置もズレてしまう。その
場合、被走査面上では主走査方向の光学系全系の倍率が掛けられた量だけずれる。

それを示したものが図31であり、これは主走査断面における、複数の発光点
の間隔と被走査面上での複数の光スポットの間隔の関係を示すものである。この
15 図31では、間隔dで射出された光束は、カップリングレンズ1013、101
4と結像レンズ1005、1006の焦点距離の比による倍率関係により、被走
査面上を間隔d'で走査する状態を模式的に現した図である。走査光束は結像レ
ンズ1005、1006による集光作用により光スポットとして被走査面上を走
査する。上記により各光スポットは主走査方向にd'ずれて走査し、主走査方向
20 の光学系全系の倍率を β_m とするとき

$$|d'| = |\beta_m \cdot d|$$

の関係が成り立つ。

一方、傾けない場合でも、半導体レーザアレイの製造時の加工誤差により生じ
る発光点の位置ズレにより上記と同様に被走査面上での走査位置がずれてしまう。

25 また、半導体レーザアレイを傾けた場合と同様に、複数の半導体レーザにより
光源部を構成する場合も、主走査方向において発光点位置がズレた構成となっ
ているため、各発光点から射出した光束の被走査面上での走査開始位置もズレてし
まう。この主走査方向の走査開始位置のずれは、半導体レーザアレイを傾けた場
合と同様に、最終的な画像品質の劣化の要因になってしまうため、走査開始位置

の補正を行う必要がある。

上記の発光点の位置のずれを言い換えると、偏向走査平面（主走査平面）と直交する軸に対する半導体レーザの各発光点の相対的位置が異なる場合、といい換えることができる。このような状態の場合、つまり変更走査平面と直交する軸上

- 5 に各発光点の相対位置がない場合に、被走査面上の光スポットの走査開始位置は主走査方向においてずれた位置になり、書込端部はがたがたした画像になってしまう。

図32は被走査面上での光スポットの走査するもようを模式的に示している。半導体レーザアレイを傾けることにより被走査面上を走査する光スポットは d'

- 10 の間隔で走査する。このとき、画像領域前に配置されている、同期検知光学系（走査光検出手段）からの検出信号に基づき、所定のタイミングの後、画像変調信号に応じ半導体レーザアレイから光を発振し、被走査面上に静電潜像を形成する。半導体レーザアレイはこのとき、同期検知光学系を最初に横切った光束を基準に他の発光点も発振のタイミングも取る。そのため、このままでは画像領域に
15 おいて各発光点による光スポットの書込開始位置はずれてしまい、画像劣化の要因となる。

- そこで、上記に記載の方法により、一番最後に画像領域を書き込む光束が画像領域に到達するタイミングに画像情報を書込開始するように位相をシフトさせ遅らせることにより、被走査面上に形成される静電潜像の開始位置をあわせること
20 ができる。 d' が $N/8$ クロックの長さとする、図32に示すような4つの発光点を持つ半導体レーザアレイの場合、一番先行している走査光に対する制御信号は、 $3 * N/8$ クロックシフトすれば一番最後とあわせることができる。同様に、2番目は $2 * N/8$ クロック、3番目は $N/8$ クロックシフトさせればよい。

- 上記例では一番最後の走査光を基準にしたが、どこを基準にしてもよい。その
25 場合、任意に短くなるようにシフトしたり、長くなるようにシフトさせればよい。以上のようにして、半導体レーザアレイを傾けた場合でも、画像の書き出し端部をあわせることができるようになる。

実際的にPLL-LOOPの周波数可変ステップを細かく設定しようとする場合は、図30に示すプログラマブル・カウンタ1321の分周設定範囲を広く取

り、かつ、基準クロックを低くするか、もしくはVCLK信号を高くすることでも設定可能ではあるが、基準クロックを低くすることは、VCLK信号の周波数変動が基準クロックサイクルでしか検出することができなくなり、VCO1324の発振周波数安定化が大きな技術課題になってしまう。

- 5 例えば、1走査の画素数を14,000、画素クロック周波数を60MHz、走査両端での画素位置精度を1/4画素幅にすると、単一PLLでこの周波数設定を可能とするには

$$60\text{MHz} \div (14000 \times 4) = 1.07\text{kHz}$$

- となり、約1kHzの基準クロックでPLLを制御しなければならない。この結果、1kHz毎にしかPLLの位相変動量を検出できなくなり、PLLとしての制御帯域幅は低下する。さらに外乱等に弱くなり、画素位置精度を向上させるためにはPLLを構成するVCO1324の安定性に対する要求が高くなってしまふ。これを避けるために2重のPLLによる方法等もあるが、このような回路を別途持つことにより、PLL回路のジッタが2重に蓄積されることとなりジッタの拡大を引き起こす。また、コスト的にも割高となってしまう。一方、VCLKを高くすることは、VCO1324の発振周波数を高くしなければならず、これも技術的課題となる。
- 10
- 15

- ところが、本発明によればVCO1324の発振周波数を高くできればそれを上回ったステップで、VCO1324を安定化できればそれを上回るステップで周波数設定が可能となる。また、Phase-Set信号による位相遅れを生成する1/8クロックサイクルの間、半導体レーザを発光しないようにしておくことにより、露光エネルギー量の不連続性は解消できる。
- 20

- また、Phase-Set信号を半導体レーザが発光しないときに設定してもよい。走査毎に少しずらした位置で設定してもよい。ページの最初のラインのみで設定してもよい。さらに、装置の電源が投入されている間はあらかじめ設定された時間間隔で設定してもよい。時間間隔は装置の内部時計を内蔵して計測してもよいし、時間カウンタ等の方法により計測してもよい。
- 25

このようなタイミングで位相遅れ量を変化させることにより、出力画像に影響なく画素クロック位相を変更できる。また、Phase-Set信号を走査の開始タイミ

ングのみ走査毎に一定刻みで増加もしくは減少するように(例えば、 $1/8 \rightarrow 2/8 \rightarrow 3/8 \rightarrow 4/8 \rightarrow 5/8 \rightarrow 6/8 \rightarrow 7/8 \rightarrow 0$) 変化させることにより、 $1/8$ クロックサイクル毎に各画素の位置を制御することができる。

- このようにすることにより、画像出力のスクリーン角を微調することにより高
- 5 画質画像を得ることができる。また、その位相変更回路の設定のタイミングを任意に変更できるようにすることにより、様々な場合に対応できるようになる。

- 図33に示す回路では、図29に示す構成に対してN進カウンタ(N-Counter) 1330が追加され、N進カウンタ1330が内部クロックをN-カウント毎にPhase-Set信号を自動的に生成し、 $1/8$ 画素クロック位相を遅らせる
- 10 ようにしている。本実施例の場合には $1/8$ クロックの時間、光パルスを出力しないようにしている。このようにしても、図3のように露光エネルギー分布が不連続になることはない(半導体レーザLDのビーム径に対し充分短い時間のみ光を消しているため、また、画素の区切りのタイミングであるため)。

- なお、N進カウンタ1330のカウント値Nの値は、外部からのシリアルデータにより設定可能となっている。このようにすることにより、PLL-LOOP
- 15 により設定できない刻みの周波数をシリアルデータにより設定できるようになるので、等価的に周波数刻みを細かく設定できるようになる。

- ポリゴンスキャナ等の偏向器の、偏向反射面の回転軸(中心)からの距離のばらつき(内接円半径のばらつき)は、被走査面上を走査する光スポット(走査ビーム)
- 20 の走査幅のばらつきを発生させる。同期光を検出後、所定のタイミングで書込信号が発せられ半導体レーザが発光を開始し、個々の発光源に対し1走査分ずつのデータが送られ、その繰り返しにより被走査媒体上に潜像として画像が形成させる。このとき、ポリゴンスキャナ等の偏向器における上記要因により、各走査線の走査長のムラ(ばらつき)が現れ、書込倍率誤差と同様に主に画像端部で目立ち、
- 25 前記書込終了端のばらつきが画像として、画像端部の揺らぎとして現れる。

本発明によれば、この走査幅のばらつきも上記画素クロック及び内部クロックの位相をシフトさせることにより補正(書込端部をあわせる)事が可能になる。偏向器を要因とする走査幅のばらつきは偏向反射面が変わることにより発生し、偏向反射面の周期にあわせて周期的に発生する。よって、偏向反射面のどの面で偏

向走査しているか判別する必要が生じる。その方法の一例としては、偏向器の上面にマーキングを行い、そのマークを読み取る毎に1回転したことが認識できる。また、各走査の開始前に同期検知系により入力信号を得ており、この2種類の情報により今どの面で走査しているか判定できる。

5 図34を参照して説明すると、1/nカウンタ(1/n Counter) 1331は、偏向器からのマーク検出信号によりリセットされ、リセット後再び同期パルス信号のカウントを開始して、1, 2, 3..., n面をカウントし、再び偏向器からのマーク検出信号によりリセットされる。この繰り返しにより偏向器の何面で偏向走査しているかを判別可能となる。

10 図35は図33に示す構成に対して、ラインカウンタ1333とカウント値設定部1334が追加されている。偏向反射面により走査幅が伸び縮みするため、各面に対する情報をライン情報としてカウント値設定部1334に格納しておき、次にラインカウンタ1333がどの面で被走査面を走査するかの識別信号に従い、このライン情報をN進カウンタ1330にロードし、その情報に基づき画素クロック及び内部クロックの位相をどの様にシフトさせるかを決定する。すなわち、
15 識別された偏向器の反射面数をラインカウンタ1333からのデータによりライン情報をN進カウンタ1330にロードしてカウント値を設定し、N進カウンタ1330によりPhase-Set信号を生成し、位相をシフトさせる。なお、上記動作は光源数に限らず同様であり、光源数が1つでも複数の光源から構成される場合
20 でも同様の効果を有する。

ここで、画素クロックに対して内部クロックの位相を位相データに応じて制御するタイミングは、上述の第1実施例において図13に示すタイミングと同様である。また、図14を参照して説明したように、ルックアップテーブルのビット数を低減することとしてもよい。

25 また、本実施例においても、上述の第1実施例において説明した図16乃至図19に示す回路構成を採用することとしてもよい。

図36は、以上記載してきた事柄をまとめ、1チップICとして実現した場合のチップの構成図である。また、本実施例では、画素クロック周波数は同一の周波数であり、同期信号は2種類により独立に制御でき、また、半導体レーザを制

御変調する回路部は2チャンネル分有している。図中、基準電源供給回路

(Voltage-Reference) 1350は本IC全体のものであり、他の回路ブロックへ基準電源VREF、IREFを供給する。位相検出器(Phase-Detector) 1351、VCO1352、クロック・ドライバ(Clock-Driver) 1353、11ビット・プログラマブル・カウンタ(11BIT-Programmable-Counter) 1354によりPLL-LOOP回路を構成し、カウンタレジスタ355に設定された12ビットデータのうち、下位1ビットがクロック・ドライバの出力クロックVCLKの位相を π 遅らせるように設定され、上位11ビットがプログラマブル・カウンタ354の分周比を設定している。このようにしてCLKの周波数は、FREF \times N/2 (N:12ビットデータ) となっている。

また、Xリセット・パルス・ジェネレータ(XResetPulse-Generator) 1356XとYリセット・パルス・ジェネレータ(YResetPulse-Generator) 1356Yはそれぞれ、ディテクト・パルス・セクタ358からの主走査同期検知信号(DETP1信号、DETP2信号)に同期してXreset信号、Yreset信号と、CLK信号の正転・反転かを選択されたXCLK信号、YCLK信号をXデバイダ・ドライバ(XDivider-Drive) 1357XとYデバイダ・ドライバ(YDivider-Driver) 1357Yに出力する。

ドライバ1357X、1357Yはそれぞれ、Xreset信号、Yreset信号とXCLK信号、YCLK信号に従い4分周して、セクタ1358からのXDETP信号、YDETP信号に同期した画素クロックXPCLK, YPCLKを出力する。

また、図37に示されたようなタイミングチャートに従いADPhase信号、BDPhaseの立上りエッジに従い、画素クロックを1/8位相遅延させることができるようになっている。この結果、ライン走査毎に画素クロックの開始位置を1/8クロックサイクル毎に遅延制御することができる。

また、1ラインの走査期間中、M回立上りエッジを与えることにより画素クロック周波数をFCLK \times N/(N+M/8)に等価的に変更することができるようになる。更に、図37のタイミングチャートに示されたようにALDMASK、BLDMASK信号を生成することにより、画素クロックを1/8クロックサイ

クル遅延させ、タイミングでは半導体レーザを強制的にOFFにすることで、画像濃度が急激に変化しないようにしている。

この場合には、自動的に半導体レーザLDを消灯させるようにしているが、あらかじめ画像データから1/8濃度減らしておくことにより、強制的に消灯させる必要はない。このように画像データからあらかじめ1/8減らしておく場合には、MaskEN信号をハイにすることにより、LDMASK信号を無効化する。

図38は、あらかじめ決められた規則に従って光変調パルスを生成する構成にした場合の構成例を示す。

なお、本実施例においても、上述の第1実施例において説明したように、図22又は図23に示す回路構成を採用して、シリアルインターフェースによりコードエリアプログラムカウンタにプログラムコードを書き込むこととしてもよい。

また、図39は図16に示す回路構成に対して、シェーディングデータを加算する構成を追加した回路を示す。

本発明は上述の具体的に開示された実施例に限定されることはなく、本発明の範囲内において様々な変形例及び改良例がなされるであろう。

本出願は日本優先権主張出願である、2000年6月5日出願の第2000-167886号、2000年7月27日出願の第2000-227488号及び2000年7月27日出願の第2000-227497号に基づくものであり、その内容は参照することによりここに取り込まれる。

20

25 -

クレーム

1. 半導体レーザと、
該半導体レーザが出力するレーザ光で回転感光体を走査する光学ユニットと、
前記半導体レーザが出力するレーザ光を所定の位置で検出するフォトディテク
- 5 タと、
を有し、該フォトディテクタが検出したレーザ光に基づいて前記回転感光体を
走査して静電潜像を形成する画像形成装置であって、
高周波クロック生成回路と、
該高周波クロック生成器から出力されたクロックを分周することにより、前記
- 10 フォトディテクタの出力に同期した画像クロックを生成し、出力する第1の分周
器と、
該画像クロックの位相を変化させる画像クロック位相変化回路と、
をさらに有する画像形成装置。
2. クレーム1の画像形成装置であって、
- 15 前記高周波クロック生成回路は、
入力される信号に応じて出力するクロックの発振周波数を制御する電圧制御発
振器と、
該電圧制御発振器が発振したクロックを分周する第2の分周器と、
該分周器が出力したクロックの周波数と基準となるクロックの周波数との位相
- 20 を比較し、該比較の結果に応じた信号を出力する位相比較器と、
を有し、
該位相比較器が出力した信号は前記電圧制御発振器に入力される画像形成装置。
3. クレーム1の画像形成装置であって、
前記画像クロックに基づいて画像データを入力する画像データ入力回路と、
- 25 前記高周波クロック生成手段から出力されたクロックと前記画像データに基づ
いて変調パターンを生成する変調パターン生成回路と、
該変調パターン生成手段によって生成された変調パターンに基づいて前記半導
体レーザの出力を制御する半導体レーザ制御回路と、
をさらに有する画像形成装置。

4. クレーム3の画像形成装置であって、

前記第1の分周器と、前記画像クロック位相変化回路と、前記高周波クロック発生器と、前記画像データ入力回路と、前記変調パターン生成回路とは、単一の半導体チップ内に形成された集積回路により構成された画像形成装置。

5 5. クレーム4の画像形成装置であって、

前記分周手段による分周比を外部からデータロードすることにより設定する分周比設定回路をさらに有する画像形成装置。

6. クレーム4の画像形成装置であって、

10 前記電圧制御発振器により発振されるパルスの位相を反転させたり、正転させたりするパルス反転回路をさらに有する画像形成装置。

7. クレーム4の画像形成装置であって、

前記第2の分周器の動作を停止させたり、再開させたりする分周動作停止再開回路をさらに有する画像形成装置。

8. クレーム6の画像形成装置であって、

15 前記画素クロックの位相を遅らせるタイミングで前記半導体レーザを消灯する半導体レーザ消灯回路をさらに有する画像形成装置。

9. 半導体レーザと、

該半導体レーザが出力するレーザ光で回転感光体を走査する光学ユニットと、
前記半導体レーザが出力するレーザ光を所定の位置で検出するフォトディテク

20 タと

を有し、該フォトディテクタが検出したレーザ光に基づいて前記回転感光体を走査して静電潜像を形成する画像形成装置であって、

高周波クロック生成回路と、

前記高周波クロック生成回路からのクロックを分周することにより、前記フォトディテクタが検出するタイミングに同期した画像クロックを生成し、出力する
- 25 分周器と、

前記画像クロックに基づいて画像データを入力する画像データ入力回路と、

前記高周波クロック生成手段から出力されたクロックと前記画像データ入力手段が入力する画像データとに基づいて、前記半導体レーザの出力を変調する半導

体レーザ変調回路と、

前記画像データ入力手段が画像データを取り込むタイミングと、前記画像クロックの位相とを、同時に変更する位相変更回路と、
をさらに有する画像形成装置。

5 10. クレーム9の画像形成装置であって、

前記位相変更回路は、電源投入時の最初の同期信号と同期信号検出データの消灯データタイミングとに基づいて、画像データを取り込むタイミングと前記画像クロックの位相とを変更する画像形成装置。

11. クレーム9の画像形成装置であって、

10 前記位相変更回路は、各走査タイミング毎に画像データを取り込むタイミングと前記画像クロックの位相とを変更する画像形成装置。

12. クレーム9の画像形成装置であって、

前記位相変更回路は、ページの最初のラインでのみ画像データを取り込むタイミングと前記画像クロックの位相とを変更する画像形成装置。

15 13. クレーム9の画像形成装置であって、

前記画像クロックの出力の際の位相を変更して、前記画像データ入力回路がデータを取り込むタイミングと前記変調パターン生成回路が変調パターンを生成するタイミングとを変更しない画像形成装置。

14. 半導体レーザと、

20 該半導体レーザが出力するレーザ光で回転感光体を走査する走査手段と、

前記半導体レーザが出力するレーザ光を所定の位置で検出する走査光検出手段と、

を有し、該走査光検出手段が検出したレーザ光に基づいて前記回転感光体を走査して静電潜像を形成する画像形成装置であって、

25 高周波クロック生成手段と、

該高周波クロック生成手段から出力されたクロックを分周することにより、前記走査光検出手段の出力に同期した画像クロックを生成し、出力する画像クロック出力手段と、

該画像クロックの位相を変化させる画像クロック位相変化手段と、

をさらに有する画像形成装置。

15. クレーム14の画像形成装置であって、

前記高周波クロック生成手段は、

入力される信号に応じて出力するクロックの発振周波数を制御する電圧制御発

5 振手段と、

該電圧制御発振手段が発振したクロックを分周する分周手段と、

該分周手段が出力したクロックの周波数と基準となるクロックの周波数との位相を比較し、該比較の結果に応じた信号を出力する位相比較手段と、

を有し、

10 該位相比較手段が出力した信号は前記電圧制御発振手段に入力される画像形成装置。

16. クレーム14の画像形成装置であって、

前記画像クロックに基づいて画像データを入力する画像データ入力手段と、

前記高周波クロック生成手段から出力されたクロックと前記画像データに基づ

15 いて変調パターンを生成する変調パターン生成手段と、

該変調パターン生成手段によって生成された変調パターンに基づいて前記半導体レーザの出力を制御する半導体レーザ制御手段と、

をさらに有する画像形成装置。

17. クレーム16の画像形成装置であって、

20 前記画像クロック出力手段と、前記画像クロック位相変化手段と、前記高周波クロック生成手段と、前記画像データ入力手段と、前記変調パターン生成手段とは、単一の半導体チップ内に形成された集積回路により構成された画像形成装置。

18. クレーム17の画像形成装置であって、

前記分周手段による分周比をデータロードする形で設定する分周比設定手段を

25 さらに有する画像形成装置。

19. クレーム17の画像形成装置であって、

前記電圧制御発振手段から発振されるパルスの位相を反転させたり、正転させたりするパルス反転手段をさらに有する画像形成装置。

20. クレーム17の画像形成装置であって、

前記分周回路の動作を停止させたり、再開させたりする分周動作停止再開手段をさらに有する画像形成装置。

21. クレーム20の画像形成装置であって、

前記画素クロックの位相を遅らせるタイミングで前記半導体レーザを消灯する
5 半導体レーザ消灯手段をさらに有する画像形成装置。

22. 半導体レーザと、

該半導体レーザが出力するレーザ光で回転感光体を走査する走査手段と、

前記半導体レーザが出力するレーザ光を所定の位置で検出する走査光検出手段
と

10 を有し、該走査光検出手段が検出したレーザ光に基づいて前記回転感光体を走査して静電潜像を形成する画像形成装置であって、

高周波クロック生成手段と、

前記高周波クロック生成手段からクロックを分周することにより、前記走査光
検出手段が検出するタイミングに同期した画像クロックを生成し、出力する画像

15 クロック出力手段と、

前記画像クロックに基づいて画像データを入力する画像データ入力手段と、

前記高周波クロック生成手段から出力されたクロックと前記画像データ入力手
段が入力する画像データとに基づいて、前記半導体レーザの出力を変調する半導
体レーザ変調手段と、

20 前記画像データ入力手段が画像データを取り込むタイミングと、前記画像クロックの位相とを、同時に変更する位相変更手段と、

をさらに有する画像形成装置。

23. クレーム22の画像形成装置であって、

前記位相変更手段は、電源投入時の最初の同期信号と同期信号検出データの消
25 灯データタイミングとに基づいて、画像データを取り込むタイミングと前記画像クロックの位相とを変更する画像形成装置。

24. クレーム22の画像形成装置であって、

前記位相変更手段は、各走査タイミング毎に画像データを取り込むタイミング
と前記画像クロックの位相とを変更する画像形成装置。

25. クレーム22の画像形成装置であって、
前記位相変更手段は、ページの最初のラインでのみ画像データを取り込むタイミングと前記画像クロックの位相とを変更する画像形成装置。

26. クレーム22の画像形成装置であって、
- 5 前記画像クロックの出力の際の位相を変更して、前記画像データ入力手段がデータを取り込むタイミングと前記変調パターン生成手段が変調パターンを生成するタイミングとを変更しない画像形成装置。

27. 出力画素クロックに同期し、複数ラインの画像データのそれぞれに応じて変調された複数の光束により被走査媒体上を走査する光走査ユニットと、
- 10 前記複数の光束の各発光点の走査方向の位置ずれによる走査方向の書き込み開始位置のずれを補正するように、前記出力画素クロックの位相を前記ライン毎に制御するクロック位相制御回路と

を有する画像形成装置。

28. クレーム27の画像形成装置であって、
- 15 前記クロック位相制御回路は、
高周波クロック発生器と、
前記高周波クロック発生器の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相を変更可能な回路を備えた第1の分周器と、

- 20 前記第1の分周器の位相を変更する位相変更回路と、
前記高周波クロック発生器の出力を分周して内部クロックを生成するとともに、前記内部クロックの位相を変更可能な回路を備えた第2の分周器と、
を有する画像形成装置。

29. クレーム28の画像形成装置であって、
- 25 前記高周波クロック発生器は、
電圧制御発振回路と、前記電圧制御発振回路の出力を分周するプログラマブル・カウンタと、前記プログラマブル・カウンタの出力と基準周波数との位相を比較する位相比較回路とを有するPLL回路により構成され、前記第1の分周器は前記電圧制御発振回路の出力を分周して前記出力画素クロックを生成するとともに

に、前記出力画素クロックの位相を位相同期信号に同期させる画像形成装置。

30. クレーム29の画像形成装置であって、

前記出力画素クロックに同期して画像データに基づいて最適な露光エネルギー分布が得られる変調パターンを生成する変調パターン生成回路を更に有する画像

5 形成装置。

31. クレーム30の画像形成装置であって、

前記変調パターン生成回路は、複数ライン毎の各出力画素クロックの位相を変更可である画像形成装置。

32. クレーム31の画像形成装置であって、

10 前記第1の分周器と、前記位相変更回路と、前記PLL回路と、前記変調パターン生成回路とは、単一の集積回路内に形成される画像形成装置。

33. クレーム32の画像形成装置であって、

前記集積回路は、半導体レーザ変調駆動回路をさらに有する画像形成装置。

15 34. 出力画素クロックに同期し、複数ラインの画像データのそれぞれに応じて変調された複数の光束により被走査媒体上を走査する光走査ユニットと、

前記複数の光束の各発光点の走査方向の位置ずれによる走査方向の書き込み開始位置のずれを補正するように、前記出力画素クロックの位相を前記ライン毎に制御するクロック位相制御手段と

を有する画像形成装置。

20 35. クレーム34の画像形成装置であって、

前記クロック位相制御手段は、

高周波クロック発生手段と、

前記高周波クロック発生手段の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相を変更可な手段を有する第1の分周

25 手段と、

前記第1の分周手段の位相を変更する位相変更手段と、

前記高周波クロック発生手段の出力を分周して内部クロックを生成するとともに、前記内部クロックの位相が変更可能な第2の分周手段と、

を有する画像形成装置。

35. 出力画素クロックに同期し、複数ラインの画像データのそれぞれに応じて変調された複数の光束を偏向器により偏向して、被走査媒体上を走査する光走査ユニットと、

- 前記偏向器の複数の偏向面に対応する走査長のバラツキを補正するように、前記出力画素クロックの位相を前記偏向面毎に制御するクロック位相制御回路と、
5 有する画像形成装置。

36. クレーム35の画像形成装置であって、

前記クロック位相制御回路は、

高周波クロック発生器と、

- 10 前記高周波クロック発生器の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相を変更可能な回路を備えた第1の分周器と、

前記第1の分周器の位相を変更する位相変更回路と、

前記高周波クロック発生器の出力を分周して内部クロックを生成するとともに、

- 15 前記内部クロックの位相を変更可能な回路を備えた第2の分周器と、
有する画像形成装置。

37. クレーム26の画像形成装置であって、

前記高周波クロック発生器は、

- 電圧制御発振回路と、前記電圧制御発振回路の出力を分周するプログラマブル・カウンタと、前記プログラマブル・カウンタの出力と基準周波数との位相を比較する位相比較回路とを有するPLL回路により構成され、前記第1の分周器は前記電圧制御発振回路の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相を位相同期信号に同期させる画像形成装置。
20

38. クレーム37の画像形成装置であって、

- 25 前記出力画素クロックに同期して画像データに基づいて最適な露光エネルギー分布が得られる変調パターンを生成する変調パターン生成回路を更に有する画像形成装置。

39. クレーム38の画像形成装置であって、

前記変調パターン生成回路は、複数ライン毎の各出力画素クロックの位相を変

更可能である画像形成装置。

40. クレーム39の画像形成装置であって、

前記第1の分周器と、前記位相変更回路と、前記PLL回路と、前記変調パターン生成回路とは、単一の集積回路内に形成される画像形成装置。

5 41. クレーム40の画像形成装置であって、

前記集積回路は、半導体レーザ変調駆動回路をさらに有する画像形成装置。

42. 出力画素クロックに同期し、複数ラインの画像データのそれぞれに応じて変調された複数の光束を偏向器により偏向して、被走査媒体上を走査する光走査ユニットと、

10 前記偏向器の複数の偏向面に対応する走査長のバラツキを補正するように、前記出力画素クロックの位相を前記偏向面毎に制御するクロック位相制御手段と、
を有する画像形成装置。

43. クレーム42の画像形成装置であって、

前記クロック位相制御手段は、

15 高周波クロック発生手段と、

前記高周波クロック発生手段の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相を変更可能な手段を有する第1の分周手段と、

前記第1の分周手段の位相を変更する位相変更手段と、

20 前記高周波クロック発生手段の出力を分周して内部クロックを生成するとともに、前記内部クロックの位相が変更可能な第2の分周手段と、
を有する画像形成装置。

開示の要約

- 半導体レーザを光源として使用する画像形成装置において、画像書き込みクロックの調整により半導体レーザの制御を行い、高精度な走査位置合わせを簡単な構成により行う。光学ユニットは、半導体レーザが出力するレーザ光で回転感光体
- 5 体を走査する。半導体レーザが出力するレーザ光をフォトディテクタにより所定の位置で検出する。フォトディテクタが検出したレーザ光に基づいて回転感光体を走査して静電潜像を形成する。高周波クロック生成回路から出力されたクロックを分周することにより、フォトディテクタの出力に同期した画像クロックを生成し、且つ画像クロックの位相を変化させる。